

PAT-NO: JP02001332726A
DOCUMENT-IDENTIFIER: JP 2001332726 A
TITLE: VERTICAL FIELD EFFECT SEMICONDUCTOR DEVICE AND
ITS
MANUFACTURING METHOD
PUBN-DATE: November 30, 2001

INVENTOR-INFORMATION:

NAME	COUNTRY
INOUE, HIRONORI	N/A
MIYAUCHI, AKIHIRO	N/A
SAKAMOTO, MITSUZO	N/A
SHIRAISSI, MASAKI	N/A
MORI, MUTSUHIRO	N/A

ASSIGNEE-INFORMATION:

NAME	COUNTRY
HITACHI LTD	N/A

APPL-NO: JP2000154415

APPL-DATE: May 22, 2000

INT-CL (IPC): H01L029/78, H01L021/336

ABSTRACT:

PROBLEM TO BE SOLVED: To provide a high power vertical field effect transistor having good electric characteristics and a method for manufacturing the transistor.

SOLUTION: The vertical field effect transistor comprises a drain side drift region having a main surface formed on a semiconductor single crystal board in plane [110], and a plurality of P-type and N-type regions disposed in parallel with a current flow path. A plurality of gate grooves of rectangular shapes in

both vertical and horizontal sections perpendicular at their wall surfaces to the main surface are disposed in parallel with a longitudinal direction of a rectangular horizontal section with a direction <110>. Alternatively, a plurality of gate grooves of a V-shaped section with a wall surface crossed perpendicularly and of a rectangular section horizontal to the main surface are disposed in parallel with the direction <100> in a longitudinal direction of the rectangular horizontal section.

COPYRIGHT: (C)2001,JPO

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-332726

(P2001-332726A)

(43)公開日 平成13年11月30日 (2001.11.30)

(51)Int.Cl.
H01L 29/78
652
653
21/336

F I
H01L 29/78
652H
652T
653A
653B
658G

テマコード(参考)

審査請求 未請求 請求項の数 6 OL (全 8 頁)

(21)出願番号 特願2000-154415(P2000-154415)

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(22)出願日 平成12年5月22日 (2000.5.22)

(72)発明者 井上 洋典

茨城県日立市大みか町七丁目1番1号株式

会社日立製作所日立研究所内

(72)発明者 宮内 昭浩

茨城県日立市大みか町七丁目1番1号株式

会社日立製作所日立研究所内

(74)代理人 100068504

弁理士 小川 勝男 (外2名)

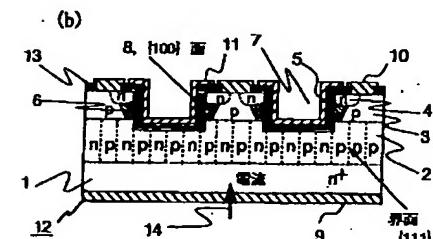
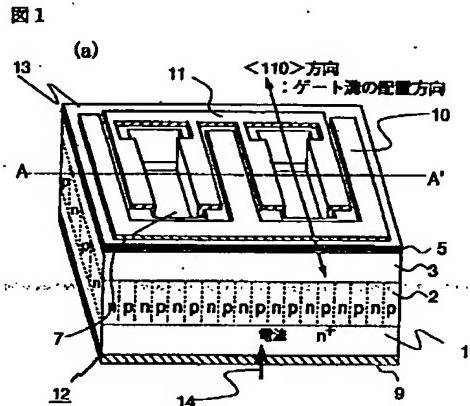
最終頁に続く

(54)【発明の名称】 縱形電界効果半導体装置及びその製造方法

(57)【要約】

【課題】 電気特性の良好な大電力縦形電界効果トランジスタ及びその製造方法を提供する。

【解決手段】 主表面が{110}面の半導体単結晶基板に形成され、電流流路に並列配置された複数のP型とN型の領域であるドレイン側ドリフト領域を有する縦形電界効果トランジスタにおいて、壁面が主表面に垂直で垂直と水平の断面がいずれも矩形状としたゲート溝を、その水平断面の矩形の長手方向を<110>方向に平行にして複数箇配置する。或いは、断面がV字形状で壁面が垂直に交わり主表面に水平な断面を矩形状としたゲート溝を、水平断面の矩形の長手方向を<100>方向に平行として複数箇配置する。



【特許請求の範囲】

【請求項1】 主表面が{110}結晶面を有する半導体基板、上記基板内の裏面側に設けられた第1導電型の共通ドレイン領域、上記基板内の表面側に設けられた第2導電型のチャンネル形成領域、上記チャンネル形成領域内に設けられた複数の第1導電型のソース領域、及び上記基板内の上記共通ドレイン領域と上記チャンネル形成領域との間に設けられ両領域を結合するドリフト領域を有し、上記主表面上に上記ソース領域及び上記チャンネル形成領域を横切って上記ドリフト領域まで達し上記主表面に略垂直な壁面を有し上記主表面に平行な断面が矩形状のゲート溝を上記矩形の長手方向を<110>方向に平行に複数個配置し、上記各ゲート溝の<110>方向に平行な上記壁面における上記チャンネル形成領域の表面上にゲート絶縁膜とゲート電極を設けたことを特徴とする縦形電界効果半導体装置。

【請求項2】 主表面が{110}結晶面を有する半導体基板、上記基板内の裏面側に設けられた第1導電型の共通ドレイン領域、上記基板内の表面側に設けられた第2導電型のチャンネル形成領域、上記チャンネル形成領域内に設けられた複数の第1導電型のソース領域、及び上記基板内の上記共通ドレイン領域と上記チャンネル形成領域との間に設けられ両領域を結合するドリフト領域を有し、上記主表面上に上記ソース領域及び上記チャンネル形成領域を横切って上記ドリフト領域まで達し上記主表面に垂直な断面がV字形状となる壁面を有し上記主表面に平行な断面が矩形状のゲート溝を上記矩形の長手方向を<100>方向に平行に複数個配置し、上記各ゲート溝の<100>方向に平行な上記壁面における上記チャンネル形成領域の表面上にゲート絶縁膜とゲート電極を設けたことを特徴とする縦形電界効果半導体装置。

【請求項3】 上記ドリフト領域は、<112>方向に平行で上記主表面に垂直な{111}界面をもって接合された第1導電型半導体領域と第2導電型半導体領域とが上記ドレイン領域と上記ソース領域との間の電流経路に並列に交互に配置されてなることを特徴とする請求項1又は2記載の縦形電界効果半導体装置。

【請求項4】 上記ドレイン領域を構成する上記第1導電型半導体領域と第2導電型半導体領域はほぼ同等量の多数キャリアを有することを特徴とする請求項3記載の縦形電界効果半導体装置。

【請求項5】 ドレイン領域となる高不純物濃度の第1半導体領域の上部に低不純物濃度の第2半導体領域が設けられた{110}主表面を有する第1導電型の半導体基板を用意し、上記第2半導体領域の上記主表面に異方性エッチングにより<112>方向に平行で上記主表面に垂直な{111}面を壁面とした溝を形成し、上記溝内を第2導電型の第3半導体領域で埋めてドリフト領域となる上記第2及び第3半導体領域の表面を平坦化し、これら第2及び第3半導体領域内にチャンネル形成領域となる第2導電型の第4半導体領域を形成し、上記第4半導体領域内にソース領域となる第1導電型の第5半導体領域を形成し、上記第4半導体領域下の上記第2及び第3半導体領域に達して側壁が上記主表面に垂直で上記主表面に平行な断面が矩形状の長手方向が<110>方向に平行に配置された複数のゲート溝となる溝を上記第5及び第4半導体領域に形成し、上記溝内に露出した上記主表面に垂直で<110>方向に平行な上記第4半導体領域の表面にゲート絶縁膜を形成し、上記ゲート絶縁膜上にゲート電極を形成し、上記主表面で第4及び第5半導体領域の両表面を結合するソース電極を形成し、上記第1半導体領域にドレイン電極を形成することを特徴とする縦形電界効果半導体装置の製造方法。

【請求項6】 ドレイン領域となる高不純物濃度の第1半導体領域の上部に低不純物濃度の第2半導体領域が設けられた{110}主表面を有する第1導電型の半導体基板を用意し、上記第2半導体領域の上記主表面に異方性エッチングにより<112>方向に平行で上記主表面に垂直な{111}面を壁面とした溝を形成し、上記溝内を第2導電型の第3半導体領域で埋めてドリフト領域となる上記第2及び第3半導体領域の表面を平坦化し、これら第2及び第3半導体領域内にチャンネル形成領域となる第2導電型の第4半導体領域を形成し、上記第4半導体領域内にソース領域となる第1導電型の第5半導体領域を形成し、上記第4半導体領域下の上記第2及び第3半導体領域に達して上記第4及び第5半導体領域の主表面に垂直な断面がV字形状となる壁面を有し該主表面に平行な断面が矩形状の複数のゲート溝となる溝を上記矩形の長手方向を<100>方向に平行に上記第5及び第4半導体領域内に形成し、上記溝内に露出した<100>方向に平行な上記第4半導体領域の表面にゲート絶縁膜を形成し、上記ゲート絶縁膜上にゲート電極を形成し、上記主表面で第4及び第5半導体領域の両表面を結合するソース電極を形成し、上記第1半導体領域にドレイン電極を形成することを特徴とする縦形電界効果半導体装置の製造方法。

【発明の詳細な説明】

【発明の属する技術分野】 本発明は高耐圧半導体装置、特に縦形電界効果トランジスタの構造及び製造方法に関するものである。

【従来の技術】 本明細書において半導体結晶の面や方向を表わす場合、所謂ミラー指数を用い記述する。この場合、結晶面は{100}、方向は<100>のように通常の表記方法で記述するが、対称性を持つ面や方向はその性質が等価であることから、説明を分かり易くするため区別しないことにする。従来、使用電圧が数10V～数100V、また、電流が数100mAから数10A以上の所謂パワー用の個別半導体装置の一部には、その動作の高速性からユニポーラ素子である電界効果型トランジスタが用いられる。特に、素子の表面側をソース、裏

面側をドレインとして主電流を流し、前記素子表面のソース領域とソース領域下部のチャネル（反転層）形成領域（その一部は表面に露出されソース電極に連結される）を部分的に除去して形成した多数の溝（ゲート溝）の側面にゲート絶縁膜とゲート電極を設け、前記ゲート電極の印加電圧によりチャネル形成領域に部分的に形成されて電流の流路となるチャネルを変えて主電流のON/OFFを制御する、いわゆる縦型の電界効果トランジスタは大きな主電流を高い応答性を持って制御できる。前記縦型電界効果トランジスタはゲート電極に電圧を印加しないOFF状態では主電流経路のドリフト領域（チャネル形成領域の一部とドレイン領域の一部で形成される）には高い電圧が印加されることから、半導体内部に発生する電界強度がアバランシェ降伏に至る臨界強度より低くなるようにチャネル形成領域／ドレイン領域の界面に空乏層が形成される必要がある。したがって、一般にはチャネル形成領域に接するドレイン領域の抵抗率を高くし、さらに、その厚みを電圧降下方向に対しだきくして空乏層が拡がり易くしている。このことは、逆にON状態では抵抗率が高く、厚みの大きな前述高抵抗ドレイン領域が抵抗として作用し、素子のON動作の時の損失を大きくする欠点がある。特公平2-54661号公報に開示された縦型電界効果トランジスタは、前述抵抗率が高く、厚みの大きな高抵抗ドレイン領域（ドレイン側ドリフト領域）を、複数のP型半導体領域にはさみ込まれた複数のN型半導体領域に置き替えた構造として前述素子の動作時損失の低減を図っている。この構造は、P型領域とN型領域それぞれの多数キャリヤの量を同等として自由電荷キャリアを打ち消した、十分な厚みの空乏層領域によって素子のOFF動作時のアバランシェ破壊を防ぐことができる。一方、この構造では電流経路として働く並列的に配置された複数のN型領域の抵抗率は従来構造に比べて大幅に小さくでき、したがって、動作時損失の低減も同時に達成される。前記構造の縦型電界効果トランジスタの複数のP型及びN型の領域は、正負の自由電荷キャリヤの量を精密に制御することが重要で、前述特公平2-54661には加工精度の高い{110}結晶面半導体基板の異方性エッチングにより前述複数の溝を形成し、この溝をキャリヤ濃度の精密制御が可能なエピタキシャル成長法により反対導電型の半導体層を形成して埋める方法が記載されている。しかしながら、前記縦型電界効果トランジスタは素子がON状態の場合に、ゲート絶縁膜に接するチャネル形成領域に形成され電流の流路となるチャネルの抵抗を低減する配慮が不足しており、動作時損失の低減が不十分であった。特公平4-47988号公報にはチャネル抵抗を低減し素子の動作時の抵抗を小さくする縦型電界効果トランジスタが開示されている。この方法はシリコン単結晶の{100}結晶面を基板として用い、この{100}面を素子の主表面として、<111>方向と45度の角度をな

す矩形状の溝を設け、この溝の壁面となり結晶を構成する原子の未結合手が少なくキャリヤの移動度の大きな{100}面にゲート電極を設置することにより、チャネルの抵抗の低減を実現している。この方法ではゲート絶縁膜下部のチャネルの抵抗の低減は達成されているが、高抵抗ドレイン領域の抵抗の低減は不十分で阻止電圧の大きな素子では動作時の抵抗が大きい。前述した二つの構造の縦型電界効果トランジスタから、前記{100}結晶面を用いる縦型電界効果トランジスタの高抵抗ドレイン領域の一部を、前述複数のP型及びN型領域としてチャネル抵抗と同時にドレイン側ドリフト領域の抵抗を低減する構造が考えられるが、基板結晶面を{100}面とする場合にはウエットの異方性エッチングで形成される溝の形状はV字状断面となることから、前記P型及びN型の複数の領域を形成する場合に異方性エッチングを適用することができないという欠点がある。また、前述溝をドライエッティングなどで形成する他の方法では、使用電圧が数100Vの素子においては実質的な前記P型及びN型の領域として深さが略50μm、幅が略らμmの溝を多数形成する必要があるが、溝のアスペクト比（深さ／幅）が大きくて形成が困難な上、精度も低く、また、工程も複雑化する欠点がある。一方、{110}結晶面の半導体基板を用いて前記P型及びN型でなる複数の領域を形成してドレイン側ドリフト領域の抵抗を低減し、さらに、ゲートを形成する溝を<111>方向と45度の角度をなすように設ける他の構造も考えられるが、基板の結晶面が{110}面であることからゲート溝を{100}面としてチャネルの抵抗を低減する目的は達成されない。以上のように、現状の縦型電界効果トランジスタの構造はチャネル、あるいはドレイン側ドリフト領域のいずれかの抵抗が素子の特性を低下させるという欠点がある。なお、前記したドレイン側ドリフト領域の他の形成方法については特開平10-223896号公報に詳細に記載されている。

【発明が解決しようとする課題】本発明の目的はチャネルとドレイン側ドリフト領域の両者の抵抗を共に低減し、素子の動作時抵抗が非常に小さい新規な高耐圧縦型電界効果トランジスタの構造、及びその製造方法を提供することにある。

【課題を解決するための手段】本発明による解決方法の一つによれば、主表面が{110}結晶面を有する半導体基板、上記基板内の裏面側に設けられた第1導電型の共通ドレイン領域、上記基板内の表面側に設けられた第2導電型のチャンネル形成領域、上記チャンネル形成領域内に設けられた複数の第1導電型のソース領域、及び上記基板内の上記共通ドレイン領域と上記チャンネル形成領域との間に設けられ両領域を結合するドリフト領域を有し、上記主表面上に上記ソース領域及び上記チャンネル形成領域を横切って上記ドリフト領域まで達し上記主表面に略垂直な壁面を有し上記主表面に平行な断面が矩

形状のゲート溝を上記矩形の長手方向を<110>方向に平行に複数個配置し、上記各ゲート溝の<110>方向に平行な上記壁面における上記チャンネル形成領域の表面上にゲート絶縁膜とゲート電極を設けた縦形電界効果半導体装置とすることによって前記目的が達成される。また、本発明による他の解決方法によれば、主表面が{110}結晶面を有する半導体基板、上記基板内の裏面側に設けられた第1導電型の共通ドレイン領域、上記基板内の表面側に設けられた第2導電型のチャンネル形成領域、上記チャンネル形成領域内に設けられた複数の第1導電型のソース領域、及び上記基板内の上記共通ドレイン領域と上記チャンネル形成領域との間に設けられ両領域を結合するドリフト領域を有し、上記主表面上に上記ソース領域及び上記チャンネル形成領域を横切って上記ドリフト領域まで達し上記主表面に垂直な断面がV字形状となる壁面を有し上記主表面に平行な断面が矩形状のゲート溝を上記矩形の長手方向を<100>方向に平行に複数個配置し、上記各ゲート溝の<100>方向に平行な上記壁面における上記チャンネル形成領域の表面上にゲート絶縁膜とゲート電極を設けた縦形電界効果半導体装置とすることによって上記目的が達成される。上記両方の縦形電界効果半導体装置において、上記ドリフト領域を<112>方向に平行で上記主表面に垂直な{111}界面をもって接合された第1導電型半導体領域と第2導電型半導体領域とが上記ドレイン領域と上記ソース領域との間の電流経路に並列に交互に配置されることによって、更に効果的に上記目的を達成することができる。更に又、かかる縦形電界効果半導体装置は、ドレイン領域となる高不純物濃度の第1半導体領域の上部に低不純物濃度の第2半導体領域が設けられた{110}主表面を有する第1導電型の半導体基板を用意し、上記第2半導体領域の上記主表面に異方性エッチングにより<112>方向に平行で上記主表面に垂直な{111}面を壁面とした溝を形成し、上記溝内を第2導電型の第3半導体領域で埋めてドリフト領域となる上記第2及び第3半導体領域の表面を平坦化し、これら第2及び第3半導体領域内にチャンネル形成領域となる第2導電型の第4半導体領域を形成し、上記第4半導体領域領域内にソース領域となる第1導電型の第5半導体領域を形成し、上記第4半導体領域下の上記第2及び第3半導体領域に達して上記第4及び第5半導体領域の主表面に垂直な断面がV字形状となる壁面を有し該主表面に平行な断面が矩形状の複数のゲート溝となる溝を上記矩形の長手方向を<100>方向に平行に上記第5及び第4半導体領域内に形成し、上記溝内に露出した<100>方向に平行な上記第4半導体領域の表面にゲート絶縁膜を形成し、上記ゲート絶縁膜上にゲート電極を形成し、上記主表面で第4及び第5半導体領域の両表面を結合するソース電極を形成し、上記第1半導体領域にドレイン電極を形成することによって縦形電界効果半導体装置を上記同様に製造することができる。

【発明の実施の形態】実施例1 次に、半導体単結晶としてシリコンを例として図面を参照し本発明を詳細に説明する。図において同一構成個所は同一符号を付して説明する。図1は、本発明による縦形電界効果トランジスタの第1の実施例の構成を説明するための略図であつて、図1(a)は構成の主要部分を示す斜視断面図、図1(b)は(a)のA-A'線部分から見た要部断面図である。なお、本発明の構成を理解し易くするために、図においてトランジスタの断面方向距離を平面方向距離に比して大きく拡大して示した。図1において、1は電極と接するため抵抗率を小さくしたN+型半導体領域で形成されたドレイン領域(製作の基板ウエハであり低抵抗基板と呼ばれる)で、2はP型のチャネル形成領域3に接したドレイン側ドリフト領域(これは、トランジスタのON状態においてはドレイン領域として作用する)で、断面では複数個のP型領域とN型領域で形成されている。4はN型ソース領域、5はSiO₂等の薄いゲート絶縁膜、6は電流の流路となるチャネル(チャネルが形成された場合の模式図)、7はゲート溝、8はゲート溝7の壁面であってチャンネル形成領域3の表面即ち、チャネルの形成面である。9はドレイン電極、10はソース電極、11はゲート電極を示す。13は素子を作成する半導体単結晶Si基板12の主表面であって{110}結晶面である。14は電界効果トランジスタがON状態のときに流れる電流経路を示している。前述素子は一枚の半導体単結晶Si基板(ウエハ)12に一度に多数箇所作成された後、それぞれ切り出されて作製さ

れる。半導体基板12内において、N+型ドレイン領域1、複数のP型領域とN型領域で構成されるドレイン側ドリフト領域2、チャネル形成領域3は順に積層状態に構成され、P型のチャネル形成領域3の一部にはN型ソース領域4が複数形成されて主表面13を構成している。前記N型ソース領域4の形成部分にはN型ソース領域4からP型チャネル形成領域3を介してP型とN型の複数の領域からなるドレイン側ドリフト領域2にまで達し、前記主表面13に対して厚み方向に切り込まれた、略直方体形状の細長いゲート溝7が多数形成されている。このゲート溝7は、その露出面をほぼ覆うようにゲート絶縁膜5が設けられ、ゲート溝7の長手方向のゲート絶縁膜5の上面にゲート電極11が配置される。N+型領域1の開放面側にはドレイン電極9がオーミック接合され、P型のチャネル形成領域3の開放面及び前記開放面に連なるN型ソース領域4の一部の表面にソース電極10がオーミック接合される。前記ソース電極10の形成方法としては、ソース領域4を主表面13全面に形成した後、主表面13を掘り込みP型のチャネル形成領域3とN型ソース領域4を掘り込んだ溝の壁面で連結する場合もある。本実施例において、ゲート溝7は壁面が主表面13に略垂直で、垂直と主表面13に平行な断面がいずれも略矩形状とし、該ゲート溝7の主表面13に平行な断面の矩形の長手方向を<110>方向に略平行にして複数箇所配置される。{110}結晶面基板を用い、垂直及び主表面13に平行な断面を略矩形状としたゲート溝7の配置方向を種々替えた電界効果トランジスタを作成しON状態における素子の損失を調べた結果、水平断面の矩形の長手方向を<110>方向に平行として配置し、この壁面にゲート電極11を設けた場合が最も損失が小さくなることが分かった。矩形状溝の長手方向を<110>方向に配置してこの垂直面にゲート電極11を設けた場合には、主表面に対しほぼ垂直でチャネルが形成される領域の壁面は電子移動度の大きな{100}結晶面にはほぼ等しい面となり、したがって、チャネル抵抗が低減されるためと推定される。又、ドレイン側ドリフト領域2は、<112>方向に平行で主表面に略垂直な{111}面を界面としたそれぞれほぼ同数で複数のP型領域とN型領域で形成され、電流経路に並列的に交互に配置されている。これらのP型領域、及びN型領域はその多数キャリヤの量(不純物のドープ量)はほぼ同等として形成され、その厚みは、空乏層により自由電荷キャリアが排除された場合にアバランシェ降伏の臨界強度以下の電圧を担うに十分な長さとされている。以上の構成により、縦形電界効果トランジスタのON状態における素子損失は低減されると共に、OFF状態における大きな素子耐圧も同時に達成される。また、{110}結晶面基板を用いることから、<112>方向に平行で主表面に略垂直な{111}面を壁面とする溝を異方性エッチングにより作成可能で、寸法精度の高い複数

のP型領域、N型領域からなるドレイン側ドリフト領域2を容易に形成することができる。実施例2 図2は本発明による縦形電界効果トランジスタの第2の実施例の構成を説明するための略図であって、図2(a)は構成的主要部分の斜視断面図、図2(b)は(a)のA-A'線部分から見た構成の詳細を示す断面図である。図2において1はN+型Si半導体層、2は複数個のP型領域とN型領域で形成されたドレイン側ドリフト領域、3はP型のチャネル形成領域、4はN型ソース領域、5はSiO₂等からなるゲート絶縁膜、6はチャネル、7はゲート溝、8はチャネルの形成面、9はドレイン電極、10はソース電極、11はゲート電極を示す。また、13はSi半導体単結晶基板12の{110}結晶面の主表面で、14は電流経路を示している。以上の構成要素は前述した第1の実施例と同じであるが、本第2の実施例においてはゲート溝7は主表面13に垂直な断面が略V字形状で壁面が略垂直に交わり、主表面13に平行な断面を略矩形状とし、前記矩形の長手方向を<100>方向に略平行として複数箇所配置されている。このゲート溝7の<100>方向に略平行な壁面にゲート絶縁膜5とゲート電極11が設けられる。このゲート溝7の形状と配置によってチャネルが形成される領域の壁面は{100}結晶面にはほぼ等しい面となり、チャネル抵抗が減少することからトランジスタON状態の素子損失は低減され、同時にOFF状態の大きな素子耐圧を得ることができる。なお、V字形状ゲート溝7の底部は必ずしもV字形で交叉する必要はなく、二つの壁面の延長が略直角で交叉する断面形状であれば同様の効果を得ることができる。実施例3 次に、本発明の縦形電界効果トランジスタの製造方法の一つの例について図3にしたがって説明する。図3の(a)～(e)は製造工程毎の要部断面図である。アンチモンを高濃度にドーピングして抵抗率を低くしたN+型で直径が6インチ、主表面13が{110}結晶面のシリコン単結晶基板ウエハ12を準備し、シリコン原料ガスとN型不純物のドーピングガスを供給して通常のエビタキシャル成長法により所望の抵抗率を有するN型の高抵抗層15を所定の厚み形成した後、この表面を熱酸化し酸化膜(SiO₂)16を形成する(図3(a))。通常のフォトリソグラフィ法により酸化膜16の一部に平面が略矩形状でその長手方向を<112>方向とした開口部を形成した後、前記酸化膜16をマスクとして水酸化カリウムとイソプロピルアルコールと水の混合液によるウエットの異方性エッチングを施す。この異方性エッチングにより<112>方向に平行で主表面に略垂直な{111}結晶面を壁面とする所定の幅と長さ、及び深さを有する複数の溝17が形成される(図3(b))。なお、この場合、酸化膜16の略矩形状開口領域は正方形や円形であっても形成されるエッチング溝の壁面はエッチング速度の最も遅い{111}結晶面となる。従って、後述するP型エビタキシ

ヤル層を埋め多数キャリアの量を同等とできれば、酸化膜16の開口パターンは矩形に限定する必要はない。次いで、P型不純物のドーピングガスを供給する前述エピタキシャル成長法により図3(b)で形成した溝17をP型エピタキシャル層18で埋め、N型及びP型領域の共通表面を化学機械研磨(CMP)やドライエッティングなどの方法で平坦にして、複数個のP型領域とN型領域で形成されたドレイン側ドリフト領域2を作成する。この場合、溝17を埋めるP型エピタキシャル層18のドーピング量は、周囲のN型エピタキシャル層15領域とその多数キャリヤ濃度がほぼ同等となるよう精密に制御されることが望ましい(図3(c))。なお、このドレイン側ドリフト領域2は上記手法に限ることなく特開平10-223896号公報に記載されている手法で形成されても良い。次に、通常の熱拡散法によりP型不純物を拡散して前述ドレイン側ドリフト領域2の表面側に所望の厚みのP型のチャネル形成領域3を形成する。さらに、例えば熱酸化膜、或いはフォトレジス膜を全面に形成した後、複数の略矩形状の領域をフォトリソグラフィとエッティングにより開口し、N型不純物のイオン打ち込みと熱処理を施して前述開口領域に所望深さと抵抗率を有するソース領域4を複数形成する。この場合、平面が略矩形状の開口部はその長手方向を<110>方向として配置する方が好ましい。次いで、前記ソース4領域及びチャンネル形成領域3を横切って、主表面と平行な断面即ち、水平断面が略矩形状で長手方向を<110>方向に配置されて壁面が主表面13に略垂直となるゲート溝7を、ドライエッティングによってN型及びP型半導体領域15、18からなるドレイン側ドリフト領域2まで到達して形成する(図3(d))。なお、このソース4領域の一部をエッチ除去してゲート溝7を形成する方法としては、前述したウエットの異方性エッティングを適用することは望ましくない。即ち、異方性エッティングはエッチ速度の最も小さな{111}面がエッチ溝の壁面となり、略矩形の長手方向を<110>方向に配置したマスクを用いエッティングした場合にはゲート溝7の壁面は2つの{111}面で形成される凹凸の壁面となり、{100}面を壁面とするゲート溝7を形成することができないからである。次いで、全面に熱酸化膜(ゲート絶縁膜)5を形成した後、ゲート溝7の<110>方向に平行な壁面のゲート酸化膜5上に低抵抗の多結晶シリコン膜のゲート電極11を形成し、さらに、フォトリソグラフィによりソース領域4及びチャネル形成領域3の一部を開口し、この開口部に金属膜を形成してソース電極10を作成する。さらに、半導体基板の裏面のN+領域1側にも金属電極を形成しドレイン電極9を作成する(図3(e))。なお、ソース電極10はソース領域4を主表面13の全面に形成した後、ドレイン側ドリフト領域2に達する電極溝を設け作成しても良い。以上の4つの実施例においては、N型の導電型を一導電型、P型の導電型を反対導電型として説明したが、N型とP型の導電型を逆として配置した場合も同等の効果を得ることができる。更にまた、以上の実施例においては半導体材料としてシリコンを例として説明したが、ゲルマニウム、砒化ガリウムなどの単結晶のような立方晶の半導体材料を用いる場合には同等の効果を得ることができる。また、本発明は縦型電界効果トランジスタを例に説明してきたが、これらを主電流制御素子とするパワー半導体集積回路装置及びその製造方法にも適用できるものである。

【発明の効果】以上説明した本発明によれば縦型電界効果トランジスタの動作時の抵抗を、従来の前述トランジスタに比べ大幅に低減できる。更にまた、縦型電界効果トランジスタの製造においてコストの低減と歩留りの向上が実現できる。家電機器、産業機械、電車、電気自動車などで使用されるモータの制御において、本発明の縦型電界効果トランジスタを用いることにより制御効率が向上し、エネルギー効率の高い制御が可能となる。

50 【図面の簡単な説明】

11

【図1】 本発明の電界効果トランジスタを説明するための斜視断面図及び断面図。

【図2】 本発明の他の電界効果トランジスタを説明するための斜視断面図及び断面図。

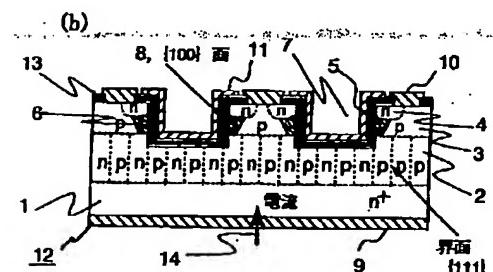
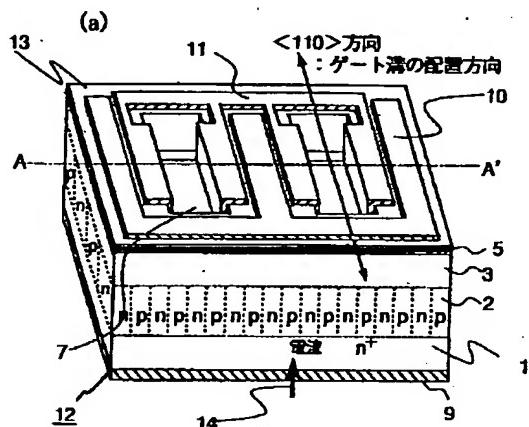
【図3】 本発明の電界効果トランジスタの製造方法を説明するための工程毎の断面図。

【図4】 本発明の他の電界効果トランジスタの製造方法を説明するための工程毎の断面図。

【符号の説明】

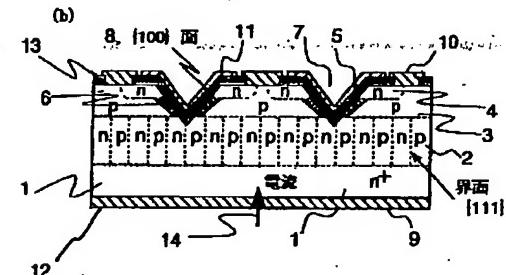
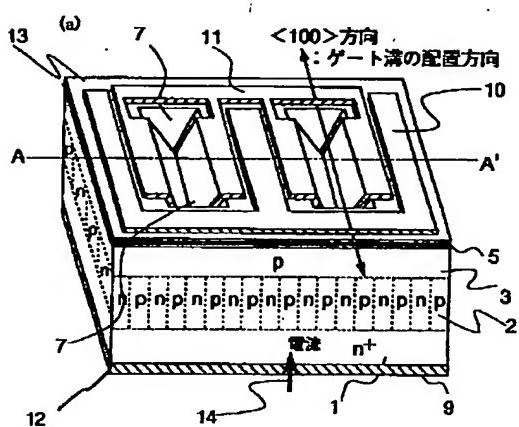
{图1}

图 1



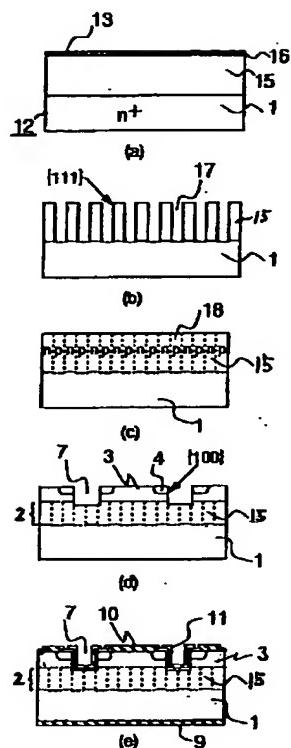
[图2]

2



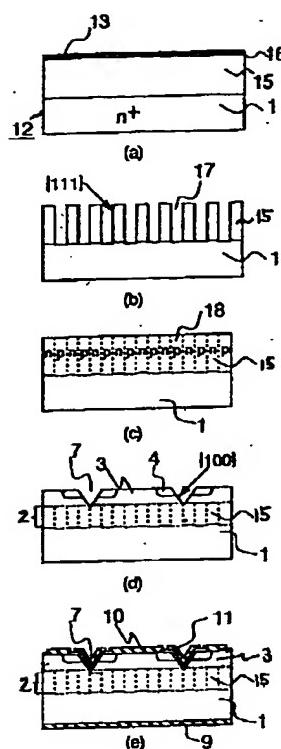
【図3】

図3



【図4】

図4



フロントページの続き

(72)発明者 坂本 光造

茨城県日立市大みか町七丁目1番1号株式
会社日立製作所日立研究所内

(72)発明者 白石 正樹

茨城県日立市大みか町七丁目1番1号株式
会社日立製作所日立研究所内

(72)発明者 森 瞳宏

茨城県日立市大みか町七丁目1番1号株式
会社日立製作所日立研究所内